

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353414

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 27/105

(21)Application number : 2001-152714

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.05.2001

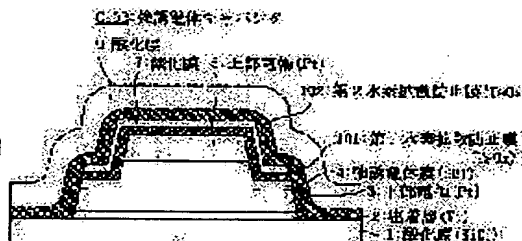
(72)Inventor : MIHASHI TOSHIRO

(54) DIELECTRIC CAPACITOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric capacitor which exhibits proper electrical characteristics by preventing the advancing diffusion of an external substance, such as a reducing element or the like to a dielectric film, and to provide a method for manufacturing the same.

SOLUTION: According to a ferroelectric capacitor C103, the advancing diffusion of a hydrogen generated, when an oxide film 7 and an oxide film 9 are formed to a ferroelectric film 7 is prevented by a first hydrogen diffusion preventing film 101. Further, since the sidewall of a ferroelectric film 4 is covered with a second hydrogen diffusion preventing film 102, advancing of the hydrogen from this sidewall to the film 4 is completely prevented. Accordingly, electrical characteristics of the film 4 is held proper. Since the film 102 does not exist on the upper surface of the film 7, the height of the capacitor C103 is suppressed to a necessary minimum limit. This acts advantageously, with respect to planarization of the entire semiconductor device formed with the capacitor C103.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353414

(P2002-353414A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int. Cl.⁷

H 0 1 L 27/105

識別記号

F I

H 0 1 L 27/10

テラコート* (参考)

4 4 4 C 5 F 0 8 3

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願2001-152714(P2001-152714)

(22) 出願日 平成13年5月22日 (2001.5.22)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 三橋 敏郎

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

(74) 代理人 100095957

弁理士 亀谷 美明 (外3名)

Fターム(参考) 5F083 FR01 GA25 JA17 JA38 JA39

JA56 PR03 PR07 PR10 PR22

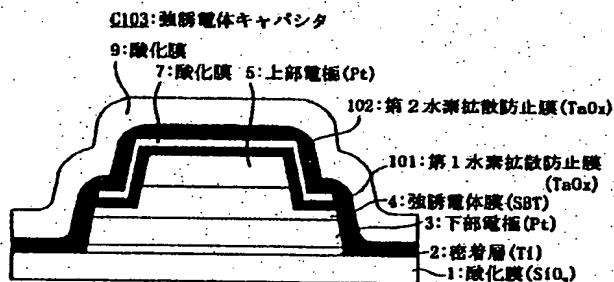
PR23

(54) 【発明の名称】 誘電体キャパシタおよびその製造方法

(57) 【要約】

【課題】 誘電体膜に対する還元性元素等の外部物質の進入拡散を防止することによって、良好な電気的特性を示す誘電体キャパシタおよびその製造方法を提供する。

【解決手段】 強誘電体キャパシタC103によれば、第1水素拡散防止膜101によって、酸化膜7および酸化膜9を成膜する際に発生する水素の強誘電体膜4への進入拡散が阻止される。さらに、強誘電体膜4の側壁部は、第2水素拡散防止膜102によって覆われているため、この側壁部から強誘電体膜4への水素の進入も完全に阻止される。したがって、強誘電体膜4の電気的特性は良好に保たれる。また、酸化膜7の上面には第2水素拡散防止膜102が存在しないため、強誘電体キャパシタC103の高さが必要最低限に抑えられる。このことは強誘電体キャパシタC103が形成される半導体装置全体の平坦化に関して有利に働く。



【特許請求の範囲】

【請求項1】 下部電極と、前記下部電極上に形成された金属酸化物からなる誘電体膜と、前記誘電体膜上に形成された上部電極と、前記上部電極上を含む前記誘電体膜上に形成された機能膜と、少なくとも前記誘電体膜と前記機能膜との間に位置する第1バリア膜と、少なくとも前記誘電体膜の側壁部を覆う第2バリア膜と、を含んで成る誘電体キャパシタであって、前記第2バリア膜は、前記下部電極、前記誘電体膜、前記上部電極、前記第1バリア膜、および前記機能膜から成るキャパシタ部に設けられたサイドウォールであることを特徴とする、誘電体キャパシタ。

【請求項2】 前記機能膜は、酸化膜であることを特徴とする、請求項1に記載の誘電体キャパシタ。

【請求項3】 前記第1バリア膜および前記第2バリア膜は、水素の通過を阻止する機能を有することを特徴とする、請求項1または2に記載の誘電体キャパシタ。

【請求項4】 前記第1バリア膜および第2バリア膜は、酸化タンタルから成ることを特徴とする、請求項3に記載の誘電体キャパシタ。

【請求項5】 前記上部電極と前記誘電体膜との接触面積は、前記誘電体膜の上面の面積よりも小さいことを特徴とする、請求項1、2、3、または4に記載の誘電体キャパシタ。

【請求項6】 下部電極膜を形成する第1工程と、前記下部電極膜上に金属酸化物からなる誘電体膜を形成する第2工程と、前記誘電体膜上に上部電極膜を形成する第3工程と、前記上部電極膜上に第1マスクを形成する第4工程と、前記第1マスクをマスクとして前記上部電極膜を除去して上部電極を形成する第5工程と、前記第1マスクを除去する第6工程と、前記上部電極の表面および前記第5工程において露出した前記誘電体膜の表面を覆う第1バリア膜を形成する第7工程と、前記第1バリア膜上に機能膜を形成する第8工程と、前記機能膜上であって、前記上部電極に対応する領域を含む領域に第2マスクを形成する第9工程と、前記第2マスクをマスクとして前記機能膜および前記第1バリア膜を除去する第10工程と、前記第2マスクを除去する第11工程と、前記機能膜をマスクとして前記誘電体膜および前記下部電極膜を除去する第12工程と、を含むことを特徴とする、誘電体キャパシタの製造方法。

【請求項7】 前記機能膜は、酸化膜であることを特徴とする、請求項6に記載の誘電体キャパシタの製造方法。

【請求項8】 前記第1バリア膜は、水素の通過を阻止する機能を有することを特徴とする、請求項6または7に記載の誘電体キャパシタの製造方法。

【請求項9】 前記第1バリア膜は、酸化タンタルから成ることを特徴とする、請求項8に記載の誘電体キャパシタの製造方法。

【請求項10】 さらに、前記下部電極と、前記誘電体膜と、前記上部電極と、前記第1バリア膜と、前記機能膜とを覆う第2バリア膜を形成する第13工程を含むことを特徴とする、請求項6、7、8、または9に記載の誘電体キャパシタの製造方法。

【請求項11】 さらに、前記機能膜の上面が露出するまで前記第2バリア膜をエッチバックする第14工程を含むことを特徴とする、請求項10に記載の、誘電体キャパシタの製造方法。

【請求項12】 前記第2バリア膜は、水素の通過を阻止する機能を有することを特徴とする、請求項10または11に記載の誘電体キャパシタの製造方法。

【請求項13】 前記第2バリア膜は、酸化タンタルから成ることを特徴とする、請求項12に記載の誘電体キャパシタの製造方法。

【請求項14】 前記上部電極と前記誘電体膜との接触面積は、前記上部電極が接する前記誘電体膜の上面の面積よりも小さい、および/または、前記下部電極と前記誘電体膜との接触面積は、前記下部電極が接する前記誘電体膜の下面の面積よりも小さいことを特徴とする、請求項6、7、8、9、10、11、12、または13に記載の誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体キャパシタおよびその製造方法に関するものである。

【0002】

【従来の技術】近年、携帯型電話器等の情報端末機器の普及に伴い、不揮発性メモリへのニーズが高まっている。既に広く製品化されているフラッシュEEPROMの他、強誘電体メモリ(FeRAM: Ferroelectric RAM)、MRAM (Magnetic RAM)、相変化メモリ等が次世代型の不揮発性メモリとして注目を集めている。中でもFeRAMは、製品化において他の次世代型不揮発性メモリに先行している。

【0003】代表的な揮発性半導体メモリであるDRAMが、記憶素子として常誘電体キャパシタを備えているのに対して、FeRAMは、強誘電体キャパシタを記憶素子として用いる。

【0004】FeRAMにおいて、強誘電体キャパシタは、下部電極と上部電極とそれらの間に挟まれた強誘電体膜から構成されている。半導体の製造工程において、強誘電体膜および下部電極が加工される際、その影響が上部電極に及び、上部電極がダメージを受けるおそれがある。これを防止するために、一般的に上部電極は強誘電体膜および下部電極よりも小さい面積で形成される。

【0005】強誘電体キャパシタを形成するために用いられる材料は、加工が困難なものが多い。このため、エッチングマスクとしてレジスト膜を使用すると、十分なエッチング選択比が得られず、エッチング中にこのレジ

スト膜が後退し、最悪の場合消失してしまう。レジスト膜が消失すると、強誘電体膜がエッチングによるダメージを受け、結果的に強誘電体キャパシタの電気的特性が劣化してしまう。そのため、従来、レジスト膜よりも高いエッチング選択比が得られる酸化膜をエッチングマスクとして採用することによってこの問題の解決が図られていた。

【0006】以下、図13～図20を用いて、酸化膜をエッチングマスクとして使用した強誘電体キャパシタの従来の製造方法を説明する。なお、図20は、従来の強誘電体キャパシタC1の断面を示しており、図13～図19は、その製造工程毎の断面を示している。

【0007】【工程1】CVD法によって形成された酸化膜(SiO_2)1に対して、スパッタ法によって密着層(Ti, 100Å)2と下部電極(Pt, 2000Å)3を形成する。次いで、強誘電体膜(SBT: $\text{SrBi}_2\text{Ta}_2\text{O}_9$, 2000Å)4をスピコート法を用いて下部電極3の上に成膜する。さらに、強誘電体膜4の上にスパッタ法によって上部電極(Pt, 2000Å)5を形成する(図13)。

【0008】【工程2】レジスト膜6を成膜した後、フォトリソグラフィによってこのレジスト膜6をパターンニングする(図14)。

【0009】【工程3】レジスト膜6をマスクとして用い、上部電極5をエッチングする。ここではドライエッチング法を用いる(図15)。

【0010】【工程4】 O_2 プラズマによって、レジスト膜6を灰化除去する(図16)。

【0011】【工程5】酸化膜(4000Å)7をCVD法を用いて成膜する。この酸化膜7の上にレジスト膜8を成膜した後、フォトリソグラフィによってこのレジスト膜8をパターンニングする(図17)。

【0012】【工程6】レジスト膜8をマスクとして用い、酸化膜7をエッチングする。ここではドライエッチング法を用いる。そして、 O_2 プラズマによって、レジスト膜8を灰化除去する(図18)。

【0013】【工程7】酸化膜7をマスクとして用い、強誘電体膜4、下部電極3、密着層2をドライエッチング法によって加工する(図19)。

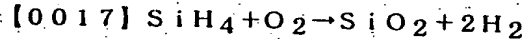
【0014】【工程8】酸化膜(3000Å)9をCVD法を用いて成膜する(図20)。この酸化膜9は、強誘電体キャパシタを保護する役割を果たす。

【0015】以上の工程1～8を経て従来の強誘電体キャパシタC1が形成される。

【0016】

【発明が解決しようとする課題】強誘電体膜4を構成するSBTは酸化物であるため、水素ガス等の還元性雰囲気とさらされると、誘電率等の電気的特性が劣化するおそれがある。ところが、上述のように、酸化膜7および酸化膜9はCVD法によって成膜されることから、この

プロセスにおける水素ガスの発生を避けることは困難である。酸化膜7および酸化膜9が酸化シリコン膜である場合、成膜中の化学反応は次式で表される。



【0018】従来の強誘電体キャパシタC1およびその製造方法によれば、酸化膜7、9の成膜プロセスにおいて発生した水素が強誘電体膜4中に拡散し、これによって強誘電体キャパシタC1の電気的特性が劣化するおそれがあった。

【0019】本発明は、上記のような問題点に鑑みてなされたものであり、その目的は、誘電体膜に対する還元性元素等の外部物質の進入拡散を防止することによって、良好な電気的特性を示す誘電体キャパシタおよびその製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の観点によれば、下部電極と、下部電極上に形成された誘電体膜と、誘電体膜上に形成された上部電極と、機能膜と、少なくとも誘電体膜と機能膜との間に位置する第1バリア膜と、少なくとも誘電体膜の側壁部を覆う第2バリア膜とを含んで成る誘電体キャパシタが提供される。そして、この誘電体キャパシタが備える第2バリア膜は、下部電極、誘電体膜、上部電極、第1バリア膜、および機能膜から成るキャパシタ部のサイドウォールとして構成される(請求項1)。

【0021】かかる構成によれば、誘電体膜と機能膜との接触は、第1バリア膜によって防止される。また、誘電体膜は、その側壁が第2バリア膜によって覆われている。したがって、誘電体膜は、機能膜を含む周辺の膜から化学的な影響を受けることはなく、結果として誘電体膜の電気的特性が良好な状態に保たれる。

【0022】第2バリア膜をキャパシタ部のサイドウォールとして形成するためには、例えば次の方法を採用することが好ましい。まず、キャパシタ部およびその周辺部に対して所定の材料を成長させる。その後、当該成長膜をキャパシタ部の最上に位置する機能膜が露出するまでエッチバックする。このエッチバック処理によって、機能膜の上面に位置する成長膜が除去され、残った成長膜がキャパシタ部のサイドウォール、すなわち第2バリア膜となる。第2バリア膜がキャパシタ部のサイドウォールとして形成されることによって、誘電体キャパシタの高さ方向の寸法が小さく抑えられることになる。このことは、誘電体キャパシタを備える半導体デバイスの平坦化および高集積化の点で有利に働く。

【0023】本発明の第2の観点によれば、以下の第1工程～第12工程を含む誘電体キャパシタの製造方法が提供される(請求項6)。

【0024】まず、第1工程から第3工程にかけて、下部電極膜、誘電体膜、および上部電極膜が、順次積み重ねるようにして形成される。第4工程において、上部電

極膜上に第1マスクが形成される。この第1マスクとしてパターンニングされたレジスト膜を用いることが可能である。

【0025】第5工程では、第1マスクをマスクとして上部電極膜が例えばエッチングによって除去される。この結果、上部電極が形成される。そして、第6工程において、第1マスクが除去される。

【0026】第7工程では、上部電極の表面および第5工程において露出した誘電体膜の表面を覆う第1バリア膜が形成される。続く第8工程において、第1バリア膜上に機能膜が形成される。この機能膜が形成されるとき、誘電体膜は第1バリア膜によってその表面が覆われている。したがって、誘電体膜は、機能膜の形成に伴って生成される物質あるいは機能膜そのものから化学的な影響を受けることはない。

【0027】第9工程では、機能膜上であって、上部電極に対応する領域を含む領域に第2マスクが形成される。第1マスクと同様に、この第2マスクとしてパターンニングされたレジスト膜を用いることが可能である。第10工程では、第2マスクをマスクとして機能膜および第1バリア膜が例えばエッチングによって除去される。そして、第11工程において、第2マスクが除去される。

【0028】第12工程では、機能膜をマスクとして誘電体膜および下部電極膜が除去され、下部電極、誘電体膜、上部電極、第1バリア膜、および機能膜から成るキャパシタ部が形成される。

【0029】以上のように、上部電極のパターンニング・マスクとして、第1マスクが用いられるのに対し、誘電体膜および下部電極のパターンニングには、機能膜がマスクとして用いられる。この製造方法によれば、上部電極と、誘電体膜あるいは下部電極を異なる形状にパターンニングすることが容易となる。さらに、各構成材料の特性に応じて、最適なマスクを用意することが可能となり、パターンニング精度の向上が期待できる。

【0030】さらに、第13工程を追加してもよい（請求項10）。この第13工程では、少なくともキャパシタ部の表面を覆う第2バリア膜が形成される。したがって、誘電体膜の一部がキャパシタ部の側壁部として露出している場合であっても、当該露出部は、第13工程において第2バリア膜によって覆われることになる。後の工程において、キャパシタ部の近傍に他の膜が形成されても、誘電体膜は、他の膜の形成に伴って生成される物質あるいは他の膜そのものから化学的な影響を受けることはない。

【0031】さらに、第14工程を追加してもよい（請求項11）。この第14工程では、キャパシタ部の最上に位置する機能膜の上面が露出するまで第2バリア膜がエッチバックされる。このエッチバック処理によって、第2バリア膜が機能膜の上面から除去されるため、誘電

体キャパシタの高さ方向の寸法が小さく抑えられることになる。このことは、誘電体キャパシタを備える半導体デバイスの平坦化および高集積化の点で有利に働く。

【0032】本発明にかかる誘電体キャパシタおよびその製造方法において、機能膜として酸化膜を採用することも可能である（請求項2、7）。酸化膜をCVD法によって成膜する場合、その成膜プロセスにおいて水素が生成され得る。この場合、第1バリア膜および第2バリア膜は、水素の通過を阻止し、誘電体膜へ水素を到達させない機能を有することが好ましい（請求項3、8、12）。そして、この機能を得るためには、第1バリア膜および第2バリア膜を酸化タンタルによって形成することが好ましい（請求項4、9、13）。

【0033】また、本発明によれば、上部電極と誘電体膜との接触面積が、上部電極が接する誘電体膜の上面の面積よりも小さくなるように、および／または、下部電極と誘電体膜との接触面積が、下部電極が接する誘電体膜の下面の面積よりも小さくなるように、上部電極、誘電体膜、および下部電極が形成される（請求項5、14）。キャパシタ部において、キャパシタとして機能する領域（キャパシタ領域）は上部電極と下部電極に挟まれた範囲である。そして、上記のように上部電極、誘電体膜、および下部電極を形成することによって、上部電極と下部電極に挟まれない領域（非キャパシタ領域）が誘電体膜中の側壁近傍に確保される。かかる構成によれば、誘電体膜の側壁からその内部に向けて水素等の不純物が侵入拡散する場合であっても、不純物が非キャパシタ領域を通過してキャパシタ領域に達しない限り、キャパシタ部の電気的特性が損なわれることはない。誘電体膜の側壁部に不純物の侵入を阻止するバリア膜を形成すれば、不純物侵入に対する相乗効果が得られ、誘電体キャパシタの特性はより良好な状態に保たれる。

【0034】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかる誘電体キャパシタおよびその製造方法の好適な実施の形態について詳細に説明する。なお、以下の説明および添付された図面において、略同一の機能および構成を有する構成要素については、同一符号を付することによって重複説明を省略する。

【0035】【第1の実施の形態】本発明の第1の実施の形態にかかる強誘電体キャパシタC101およびその製造方法を図1～図7、図10を用いて説明する。なお、図10は、第1の実施の形態にかかる強誘電体キャパシタC101の断面を示しており、図1～図7は、その製造工程毎の断面を示している。

【0036】【工程1-1】CVD法によって形成された酸化膜（ SiO_2 ）1に対して、スパッタ法によって密着層（ Ti 、100Å）2と下部電極（ Pt 、200Å）3を形成する。次いで、強誘電体膜（ SBT ： $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、2000Å）4をスピコート法

を用いて下部電極3の上に成膜する。さらに、強誘電体膜4の上にスパッタ法によって上部電極(Pt, 200 Å)5を形成する(図1)。

【0037】[工程1-2]レジスト膜6を成膜した後、フォトリソグラフィによってこのレジスト膜6をパターンニングする(図2)。

【0038】[工程1-3]レジスト膜6をマスクとして用い、上部電極5をエッチングする。ここではドライエッチング法を用いる(図3)。

【0039】[工程1-4]O₂プラズマによって、レジスト膜6を灰化除去する(図4)。

【0040】[工程1-5]第1水素拡散防止膜(TaOx, 1000 Å)101をスパッタ法を用いて成膜する。この第1水素拡散防止膜101の上に、酸化膜(4000 Å)7をCVD法を用いて成膜する。さらに、酸化膜7の上にレジスト膜8を成膜した後、フォトリソグラフィによってこのレジスト膜8をパターンニングする(図5)。酸化膜7として、膜中に不純物を含まず、しかも吸湿性の低いNSG膜を採用することが好ましい。

【0041】[工程1-6]レジスト膜8をマスクとして用い、酸化膜7および第1水素拡散防止膜101をエッチングする。ここではドライエッチング法を用いる。そして、O₂プラズマによって、レジスト膜8を灰化除去する(図6)。これによって機能膜としての酸化膜7が形成される。このパターンニングされた酸化膜7は、後の工程において強誘電体キャパシタを形成する際のエッチングマスクとして用いられる。このエッチングマスク(酸化膜7)としてNSG膜を用いることによって、不純物によるバリア膜の劣化、および、水分による強誘電体膜の膜質劣化を抑制することが可能となる。

【0042】[工程1-7]酸化膜7をハードマスクとして用い、強誘電体膜4、下部電極3、密着層2をドライエッチング法によって加工する(図7)。

【0043】[工程1-8]酸化膜(3000 Å)9をCVD法を用いて成膜する(図10)。この酸化膜9は、第1の実施の形態にかかる強誘電体キャパシタC101を外部雰囲気から保護する役割を果たす。

【0044】以上の工程1-1~1-8を経て第1の実施の形態にかかる強誘電体キャパシタC101が形成される。

【0045】第1の実施の形態にかかる強誘電体キャパシタC101の製造方法の特徴の一つとして、工程1-3においてレジスト膜6をマスクとして用いて上部電極5のみをパターンニングした後、工程1-5において成膜され工程1-6においてパターンニングされた酸化膜7をハードマスクとして用いて工程1-7において強誘電体膜4をエッチングする点が挙げられる。この方法によれば次の効果が得られる。

【0046】強誘電体膜4は上部電極5に比べてエッチングが困難であり、レジスト膜6をマスクとして用いて

上部電極5と併せて強誘電体膜4までエッチングしようとする、レジスト膜6が消失してしまい、強誘電体膜4の本来エッチングされるべきではない領域までエッチングされるおそれがある。しかしながら、本実施の形態にかかる強誘電体キャパシタC101の製造方法によれば、レジスト膜6は、上部電極5のエッチングのためだけに用いられており、強誘電体膜4のエッチングについては、別途形成される酸化膜7がハードマスクとして用いられる。この酸化膜7によれば、レジスト膜6に比べて高いエッチング選択比が得られるため、強誘電体膜4およびその下に位置する下部電極3、密着層2を高精度にパターンニングすることが可能となる。

【0047】ところで、酸化膜7は、工程1-5においてCVD法によって水素雰囲気下で成膜される。このとき水素が強誘電体膜4に侵入した場合、上述のように強誘電体膜4の膜質が劣化してしまう。この点、本発明の実施の形態にかかる強誘電体キャパシタC101およびその製造方法によれば、酸化膜7が形成される前に、予め第1水素拡散防止膜101が強誘電体膜4の上に成膜される。この第1水素拡散防止膜101の存在によって、酸化膜7の成膜中、強誘電体膜4は、水素雰囲気に曝されなくなる。したがって、強誘電体膜4の膜質劣化が防止され、この結果、安定した特性を有する強誘電体キャパシタC101が提供される。

【0048】さらに、酸化膜7は、層間絶縁膜の一部として利用することが可能である。したがって、強誘電体膜4のエッチングマスクとして用いられた後、この酸化膜7をあえて除去する必要がない。すなわち、マスク除去にかかる工程を省略することが可能となる。

【0049】また、本実施の形態にかかる強誘電体キャパシタC101の特徴の一つとして、上部電極5の面積が強誘電体膜4および下部電極3の面積に対して小さいことが挙げられる。そして、この特徴的な形状は、本実施の形態にかかる強誘電体キャパシタC101の製造方法において、上部電極5のエッチングが強誘電体膜4および下部電極3のエッチングと別個に実施されているために容易に形成される。この特徴的な形状がもたらす効果は以下の通りである。

【0050】強誘電体膜4において、キャパシタとして機能する領域は上部電極5の直下に位置する範囲である。つまり、強誘電体膜4の側壁からその内部に向けて水素等の不純物が侵入拡散する場合であっても、上部電極5の直下領域に不純物が達しない限り強誘電体キャパシタとしての特性は劣化しない。したがって、強誘電体膜4の側壁部に不純物の侵入を阻止するバリア膜(例えば金属酸化膜)を形成しなくともキャパシタ特性は良好な状態に保たれる。

【0051】[第2の実施の形態]本発明の第2の実施の形態にかかる強誘電体キャパシタC102およびその製造方法を図1~図8、図11を用いて説明する。な

お、図11は、第2の実施の形態にかかる強誘電体キャパシタC102の断面を示しており、図1～図8は、その製造工程毎の断面を示している。

【0052】【工程2-1】CVD法によって形成された酸化膜(SiO₂)1に対して、スパッタ法によって密着層(Ti, 100Å)2と下部電極(Pt, 200Å)3を形成する。次いで、強誘電体膜(SBT: SrBi₂Ta₂O₉, 2000Å)4をスピンコート法を用いて下部電極3の上に成膜する。さらに、強誘電体膜4の上にスパッタ法によって上部電極(Pt, 200Å)5を形成する(図1)。

【0053】【工程2-2】レジスト膜6を成膜した後、フォトリソグラフィによってこのレジスト膜6をパターンニングする(図2)。

【0054】【工程2-3】レジスト膜6をマスクとして用い、上部電極5をエッチングする。ここではドライエッチング法を用いる(図3)。

【0055】【工程2-4】O₂プラズマによって、レジスト膜6を灰化除去する(図4)。

【0056】【工程2-5】第1水素拡散防止膜(TaO_x, 1000Å)101をスパッタ法を用いて成膜する。この第1水素拡散防止膜101の上に、酸化膜(4000Å)7をCVD法を用いて成膜する。さらに、酸化膜7の上にレジスト膜8を成膜した後、フォトリソグラフィによってこのレジスト膜8をパターンニングする(図5)。

【0057】【工程2-6】レジスト膜8をマスクとして用い、酸化膜7および第1水素拡散防止膜101をエッチングする。ここではドライエッチング法を用いる。そして、O₂プラズマによって、レジスト膜8を灰化除去する(図6)。これによって機能膜としての酸化膜7が形成される。

【0058】【工程2-7】酸化膜7をハードマスクとして用い、強誘電体膜4、下部電極3、密着層2をドライエッチング法によって加工する(図7)。

【0059】【工程2-8】第2水素拡散防止膜(TaO_x, 1000Å)102をスパッタ法を用いて成膜する(図8)。なお、第1水素拡散防止膜101および第2水素拡散防止膜102を構成するTaO_xは、水素をその内部に取り込んでトラップする機能を有するものであり、同様の機能を有するアルミナ(Al₂O₃)等であれば、水素拡散防止膜の構成材料として採用可能である。

【0060】【工程2-9】酸化膜(3000Å)9をCVD法を用いて成膜する(図11)。この酸化膜9は、第2の実施の形態にかかる強誘電体キャパシタC102を外部雰囲気から保護する役割を果たす。

【0061】以上の工程2-1～2-9を経て第2の実施の形態にかかる強誘電体キャパシタC102が形成される。

【0062】この第2の実施の形態にかかる強誘電体キャパシタC102およびその製造方法によれば、第1の実施の形態にかかる強誘電体キャパシタC101およびその製造方法と同様の効果が得られる。また、第2の実施の形態にかかる強誘電体キャパシタC102は、強誘電体膜4の上面が第1水素拡散防止膜101に覆われるとともに、その側壁部が第2水素拡散防止膜102によって覆われている。この構成によれば、上面のみならず側壁部から強誘電体膜4内部への水素の進入が阻止される。したがって、強誘電体膜4の電気的特性がより良好に保たれることになる。

【0063】【第3の実施の形態】本発明の第3の実施の形態にかかる強誘電体キャパシタC103およびその製造方法を図1～図9、図12を用いて説明する。なお、図12は、第3の実施の形態にかかる強誘電体キャパシタC103の断面を示しており、図1～図9は、その製造工程毎の断面を示している。

【0064】【工程3-1】CVD法によって形成された酸化膜(SiO₂)1に対して、スパッタ法によって密着層(Ti, 100Å)2と下部電極(Pt, 200Å)3を形成する。次いで、強誘電体膜(SBT: SrBi₂Ta₂O₉, 2000Å)4をスピンコート法を用いて下部電極3の上に成膜する。さらに、強誘電体膜4の上にスパッタ法によって上部電極(Pt, 200Å)5を形成する(図1)。

【0065】【工程3-2】レジスト膜6を成膜した後、フォトリソグラフィによってこのレジスト膜6をパターンニングする(図2)。

【0066】【工程3-3】レジスト膜6をマスクとして用い、上部電極5をエッチングする。ここではドライエッチング法を用いる(図3)。

【0067】【工程3-4】O₂プラズマによって、レジスト膜6を灰化除去する(図4)。

【0068】【工程3-5】第1水素拡散防止膜(TaO_x, 1000Å)101をスパッタ法を用いて成膜する。この第1水素拡散防止膜101の上に、酸化膜(4000Å)7をCVD法を用いて成膜する。さらに、酸化膜7の上にレジスト膜8を成膜した後、フォトリソグラフィによってこのレジスト膜8をパターンニングする(図5)。酸化膜7として、膜中に不純物を含まず、しかも吸湿性の低いNSG膜を採用することが好ましい。

【0069】【工程3-6】レジスト膜8をマスクとして用い、酸化膜7および第1水素拡散防止膜101をエッチングする。ここではドライエッチング法を用いる。そして、O₂プラズマによって、レジスト膜8を灰化除去する(図6)。これによって機能膜としての酸化膜7が形成される。このパターンニングされた酸化膜7は、後の工程において強誘電体キャパシタを形成する際のエッチングマスクとして用いられる。このエッチングマスク(酸化膜7)としてNSG膜を用いることによって、不

純物によるバリア膜の劣化、および、水分による強誘電体膜の膜質劣化を抑制することが可能となる。

【0070】[工程3-7] 酸化膜7をハードマスクとして用い、強誘電体膜4、下部電極3、密着層2をドライエッチング法によって加工する(図7)。

【0071】[工程3-8] 第2水素拡散防止膜(TaOx, 1000Å)102をスパッタ法を用いて成膜する(図8)。なお、第1および第2水素拡散防止膜101、102のTaOxは、水素をその内部に取り込んでトラップする機能を有するものであり、同様の機能を有するアルミナ(Al₂O₃)等であれば、水素拡散防止膜の構成材料として採用可能である。

【0072】[工程3-9] 例えば、塩素ガスによるドライエッチング法を用いて、第2水素拡散防止膜102を全面エッチバックする。このとき、酸化膜7の上面が露出するまでエッチバックを行う。この結果、強誘電体膜4の側壁部を含む強誘電体キャパシタC103の側壁部にのみサイドウォールとして第2水素拡散防止膜102が残る(図9)。つまり、この工程によって、下部電極、誘電体膜、上部電極、第1バリア膜、および機能膜である酸化膜7から成るキャパシタ部に、第2水素拡散防止膜102より成るサイドウォールが形成される。

【0073】[工程3-10] 酸化膜(3000Å)9をCVD法を用いて成膜する(図12)。この酸化膜9は、第3の実施の形態にかかる強誘電体キャパシタC103を外部雰囲気から保護する役割を果たす。この酸化膜9の構成材料は酸化膜7と同様に、NSG等が好ましい。

【0074】以上の工程3-1~3-10を経て第3の実施の形態にかかる強誘電体キャパシタC103が形成される。

【0075】この第3の実施の形態にかかる強誘電体キャパシタC103およびその製造方法によれば、第1、2の実施の形態にかかる強誘電体キャパシタC101、C102およびそれらの製造方法と同様の効果が得られる。

【0076】また、第3の実施の形態にかかる強誘電体キャパシタC103の製造方法が用いられた場合、工程3-9におけるエッチバック処理によって、酸化膜9から強誘電体膜4への水素の進入を防止するために有効な箇所、すなわち強誘電体膜4の側壁部のみに第2水素拡散防止膜102が自己整合的に形成される。このように、第3の実施の形態にかかる強誘電体キャパシタC103の製造方法によれば、強誘電体キャパシタC103が形成される領域以外に成長した第2水素拡散防止膜102を除去するためのフォトリソグラフィ工程を別途実施する必要がなく、強誘電体キャパシタの製造効率の向上および製造コストの低減等が実現する。

【0077】また、酸化膜7の上面には第2水素拡散防止膜102が存在しないため、強誘電体キャパシタC1

03の高さが必要最低限に抑えられる。このことは強誘電体キャパシタC103が形成される半導体装置全体の平坦化に関して有利に働く。

【0078】添付図面を参照しながら本発明の好適な実施の形態について説明したが、本発明はかかる実施の形態に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0079】

【発明の効果】以上説明したように、本発明にかかる誘電体キャパシタによれば、誘電体膜が第1バリア膜および第2バリア膜によって覆われているため、外部雰囲気起因する特性劣化が防止される。また、エッチバック処理によって誘電体キャパシタの側壁部にのみ第2バリア膜を残すことが可能となるため、誘電体キャパシタの高さ寸法が小さく抑えられるとともに、製造プロセスの簡素化が実現する。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程1)を示す断面図である。

【図2】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程2)を示す断面図である。

【図3】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程3)を示す断面図である。

【図4】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程4)を示す断面図である。

【図5】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程5)を示す断面図である。

【図6】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程6)を示す断面図である。

【図7】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程7)を示す断面図である。

【図8】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程8)を示す断面図である。

【図9】本発明の実施の形態にかかる強誘電体キャパシタの製造方法(工程9)を示す断面図である。

【図10】本発明の第1の実施の形態にかかる強誘電体キャパシタの断面図である。

【図11】本発明の第2の実施の形態にかかる強誘電体キャパシタの断面図である。

【図12】本発明の第3の実施の形態にかかる強誘電体キャパシタの断面図である。

【図13】従来の強誘電体キャパシタの製造方法(工程1)を示す断面図である。

【図14】従来の強誘電体キャパシタの製造方法(工程2)を示す断面図である。

【図15】従来の強誘電体キャパシタの製造方法(工程3)を示す断面図である。

【図16】従来の強誘電体キャパシタの製造方法（工程4）を示す断面図である。

【図17】従来の強誘電体キャパシタの製造方法（工程5）を示す断面図である。

【図18】従来の強誘電体キャパシタの製造方法（工程6）を示す断面図である。

【図19】従来の強誘電体キャパシタの製造方法（工程7）を示す断面図である。

【図20】従来の強誘電体キャパシタの断面図である。

【符号の説明】

1：酸化膜

2：密着層

3：下部電極

4：強誘電体膜

5：上部電極

6：レジスト膜

7：酸化膜

8：レジスト膜

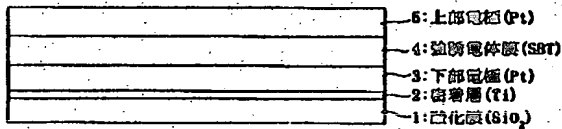
9：酸化膜

101：第1水素拡散防止膜

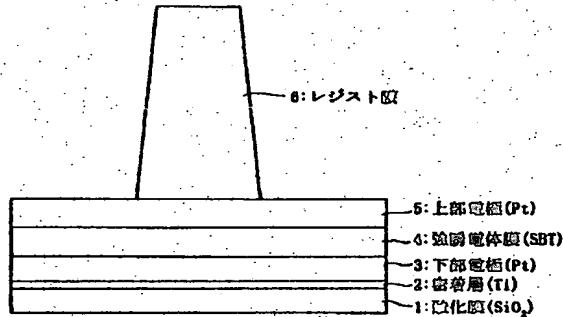
102：第2水素拡散防止膜

C101、C102、C103：強誘電体キャパシタ

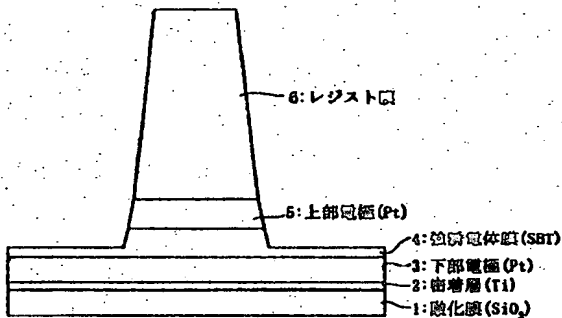
【図1】



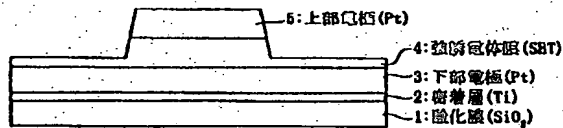
【図2】



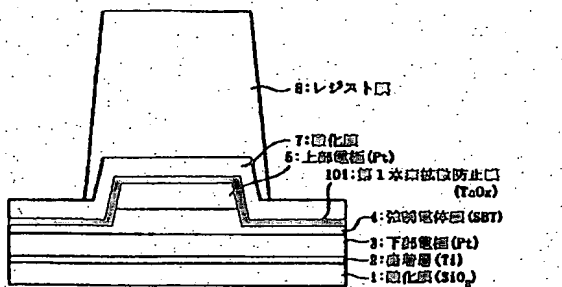
【図3】



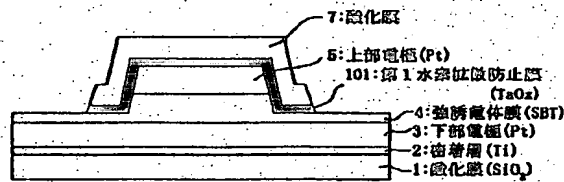
【図4】



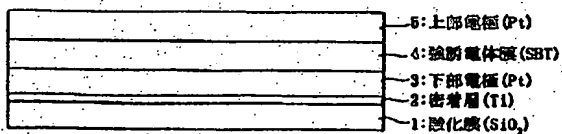
【図5】



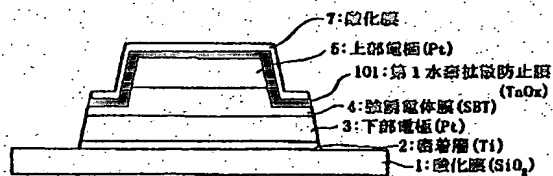
【図6】



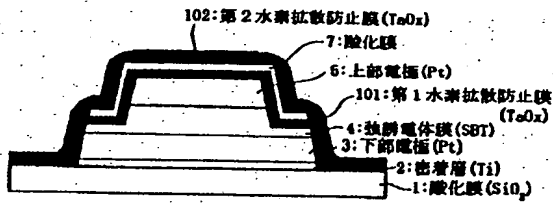
【図13】



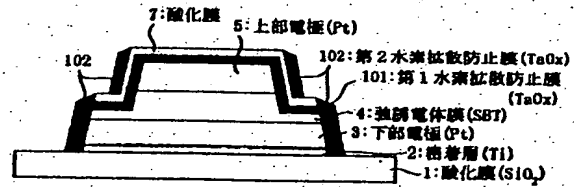
【図7】



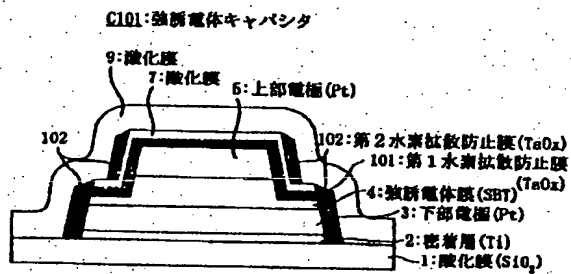
【図8】



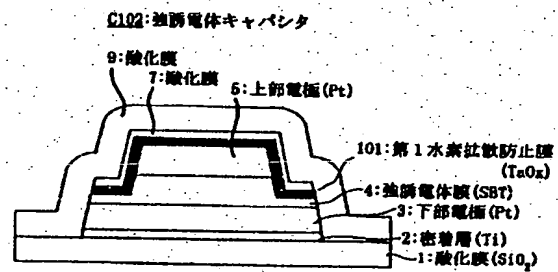
【図9】



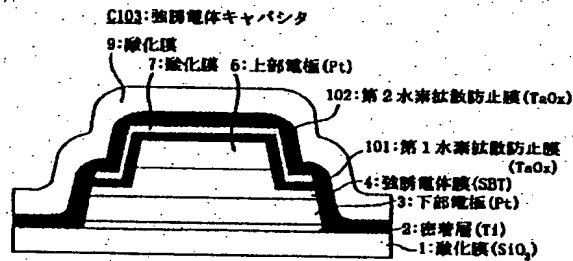
【図10】



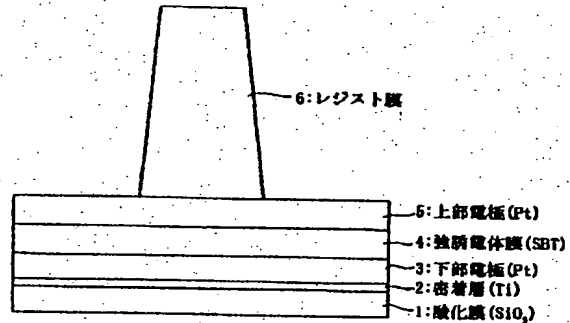
【図11】



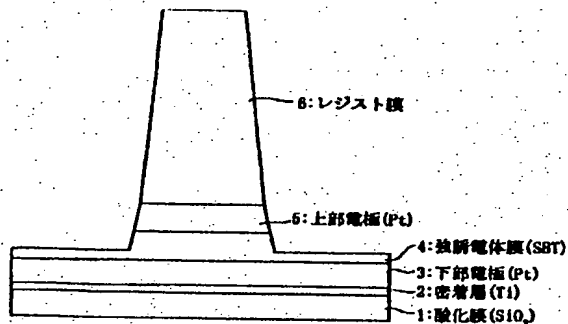
【図12】



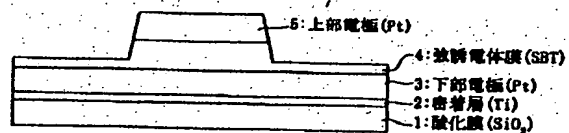
【図14】



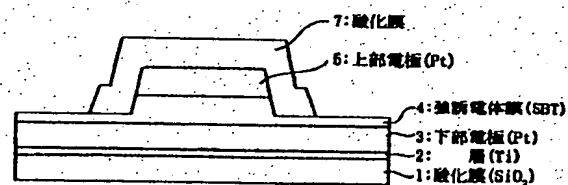
【図15】



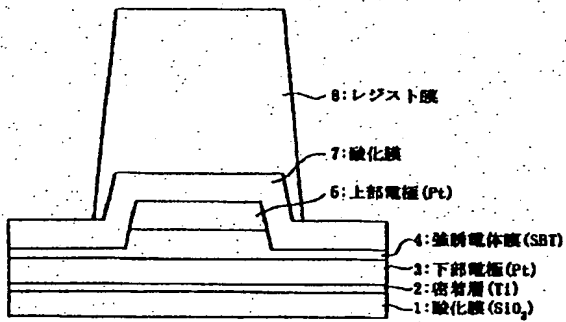
【図16】



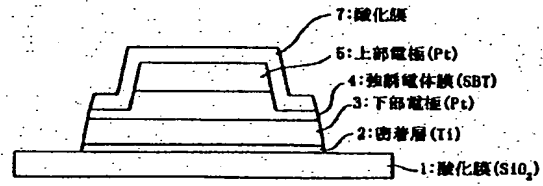
【図18】



【図17】



【図19】



【図20】

S1: 強誘電体キャパシタ

